

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07013806 A**

(43) Date of publication of application: **17.01.95**

(51) Int. Cl.

**G06F 11/28**  
**G06F 13/00**

(21) Application number: **05150015**

(71) Applicant: **NEC CORP**

(22) Date of filing: **22.06.93**

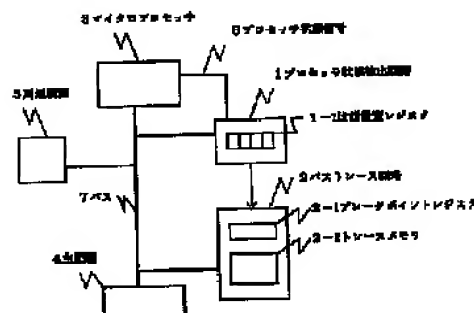
(72) Inventor: **ITO AKIO**

(54) **BUS TRACING DEVICE FOR MICROPROCESSOR** COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To effectively use a trace memory by storing only necessary information in the trace memory as to the bus tracing device which debugs a program by tracing the bus of a microprocessor.

CONSTITUTION: A processor state detecting circuit 1 monitors a signal (read signal, interruption state signal, etc.) which is outputted by the microprocessor 3 and indicates the state of the processor and sends a tracing instruction a bus tracing circuit 2 only when the signal matches a value previously set in a state setting register 1-1. The bus tracing circuit 2 writes the state of the bus 7 in the trace memory 2-2 only when receiving the tracing instruction. Consequently, only when the processor is in a specific state, the state of the bus 7 is recorded in the trace memory 2-2, which can effectively be used.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-13806

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/28	3 1 0 B	9290-5B		
13/00	3 0 1 C			

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平5-150015

(22) 出願日 平成5年(1993)6月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊藤 昭男

東京都港区芝五丁目7番1号 日本電気株式会社内

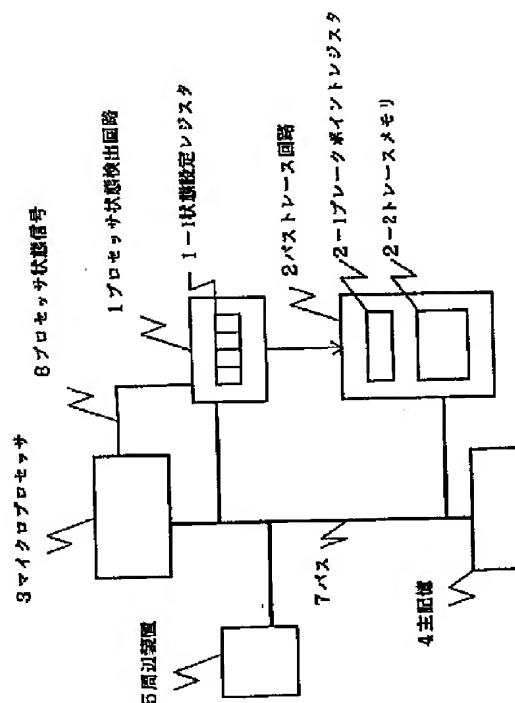
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 マイクロプロセッサのバストレース装置

(57) 【要約】

【目的】 マイクロプロセッサのバスをトレースすることによりプログラムのデバッグを行うバストレース装置において、必要情報のみをトレースメモリに記憶することによりトレースメモリを有効に使用する。

【構成】 プロセッサ状態検出回路1は、マイクロプロセッサ3が出力するプロセッサの状態を示す信号（読み書き信号、割り込み状態信号等）を監視し、状態設定レジスタ1-1に予め設定していた値と一致したときのみバストレース回路2にトレース指示を出す。バストレース回路2は、トレース指示を受けたときのみバス7の状態をトレースメモリ2-2に書き込む。これにより、プロセッサの特定状態のときのみトレースメモリ2-2にバス7の状態が記録され、トレースメモリ2-2を有効に使用することが可能となる。



1

## 【特許請求の範囲】

【請求項1】マイクロプロセッサを有しバスをトレースすることによりプログラムのデバッグを行う装置において、

マイクロプロセッサから出力されるプロセッサ状態信号を監視し、予め設定された値と前記プロセッサ状態信号とが一致した場合のみトレース指示を行うプロセッサ状態検出回路と、

前記トレース指示を受けると指定されたアドレスまでバストレースをを行うバストレース回路とを有することを特徴とするマイクロプロセッサのバストレース装置。

【請求項2】マイクロプロセッサを有しバスをトレースすることによりプログラムのデバッグを行う装置において、

マイクロプロセッサから出力されるI/O信号を監視し、I/O信号がオンに設定されている時は、マイクロプロセッサがI/O信号を出力したときのみトレース指示を出し、I/O信号がオフに設定されている時は、マイクロプロセッサがI/O信号を出力していないときのみトレース指示を出すプロセッサ状態検出回路と、

前記トレース指示を受けると指定されたアドレスまでバストレースをを行うバストレース回路とを有することを特徴とするマイクロプロセッサのバストレース装置。

【請求項3】マイクロプロセッサを有しバスをトレースすることによりプログラムのデバッグを行う装置において、

マイクロプロセッサから出力されるスーパーバイザ/ユーザモード信号を監視し、スーパーバイザモードがオンに設定されている時は、マイクロプロセッサがスーパーバイザモードの時のみトレース指示を出し、ユーザモード信号がオンに設定されている時は、マイクロプロセッサがユーザモード時のみトレース指示を出し、スーパーバイザモードとユーザモードがともにオンに設定されている時は、スーパーバイザモードもしくはユーザモード時にトレース指示を出すプロセッサ状態検出回路と、

前記トレース指示を受けると指定されたアドレスまでバストレースをを行うバストレース回路とを有することを特徴とするマイクロプロセッサのバストレース装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロプロセッサの走行状態をバスをトレースしトレースメモリに記憶させることにより観測し、プロセッサのデバッグを行うマイクロプロセッサのバストレース装置に関する。

【0002】

【従来の技術】従来、この種のバストレース装置は、図4に示すように、ブレークポイントレジスタ2-1と、トレースメモリ2-2とを内部に備えるバストレース回路2とを有していた。このバストレース装置では、マイクロプロセッサ3に入力される信号と出力される信号

2

を、ブレークポイントレジスタ2-1に設定されたアドレスまでトレースメモリ2-2に逐次記憶する方式であった。トレースメモリ2-2は、その容量が一杯になるとサイクリックに書き込みを行い、常に最新のトレース状態を保持している。プログラムのデバッグは、トレースメモリ2-2に蓄えられたプロセッサへの入出力情報を解析し、プロセッサがどのような動きを行っているかを見ることにより行う。

【0003】なお図4において、4は主記憶、5は周辺装置、7はバスを示している。

【0004】

【発明が解決しようとする課題】上述した従来のマイクロプロセッサのバストレース装置では、バスの状態を全て記録するために不必要な情報までトレースメモリ2-2に記録されることになる。このため、トレースメモリ2-2の容量が小さい場合、短い時間の情報しか残らず、必要な部分のトレースがとれないことがあるという欠点がある。またトレースメモリ2-2の容量を大きくするとそれだけ多くの情報を残すことができるが、その分コストが高くなり不必要な情報も多く残るという欠点があった。

【0005】本発明の目的は、このような欠点を除去したバストレース装置を提供することにある。

【0006】

【課題を解決するための手段】本発明のマイクロプロセッサのバストレース装置は、マイクロプロセッサを有しバスをトレースすることによりプログラムのデバッグを行う装置において、マイクロプロセッサから出力されるプロセッサ状態信号を監視し、予め設定された値と前記プロセッサ状態信号とが一致した場合のみトレース指示を行うプロセッサ状態検出回路と、前記トレース指示を受けると指定されたアドレスまでバストレースをを行うバストレース回路とを有することを特徴とする。

【0007】また本発明のマイクロプロセッサのバストレース装置は、マイクロプロセッサを有しバスをトレースすることによりプログラムのデバッグを行う装置において、マイクロプロセッサから出力されるI/O信号を監視し、I/O信号がオンに設定されている時は、マイクロプロセッサがI/O信号を出力したときのみトレース指示を出し、I/O信号がオフに設定されている時は、マイクロプロセッサがI/O信号を出力していないときのみトレース指示を出すプロセッサ状態検出回路と、前記トレース指示を受けると指定されたアドレスまでバストレースをを行うバストレース回路とを有することを特徴とする。

【0008】さらに本発明のマイクロプロセッサのバストレース装置は、マイクロプロセッサを有しバスをトレースすることによりプログラムのデバッグを行う装置において、マイクロプロセッサから出力されるスーパーバイザ/ユーザモード信号を監視し、スーパーバイザモー

3

ドがオンに設定されている時は、マイクロプロセッサがスーパーバイザモードの時のみトレース指示を出し、ユーザモード信号がオンに設定されている時は、マイクロプロセッサがユーザモード時のみトレース指示を出し、スーパーバイザモードとユーザモードがともにオンに設定されている時は、スーパーバイザモードもしくはユーザモード時にトレース指示を出すプロセッサ状態検出回路と、前記トレース指示を受けると指定されたアドレスまでバストレースを行うバストレース回路とを有することを特徴とする。

【0009】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0010】図1は、本発明のマイクロプロセッサのバストレース装置の一実施例を示す構成図である。このバストレース装置は、マイクロプロセッサ3から出力されるプロセッサ状態信号を監視し予め設定された値とプロセッサ状態信号とが一致した場合のみトレース指示を行うプロセッサ状態検出回路1と、トレース指示を受けると指定されたアドレスまでバストレースを行うバストレース回路2とを備えている。

【0011】プロセッサ状態検出回路1は、状態設定レジスタ1-1を有し、バストレース回路2は、図4に示したバストレース回路と同様に、ブレークポイントレジスタ2-1およびトレースメモリ2-2を有している。

【0012】なお図1において、4は主記憶、5は周辺装置、7はバスを示している。

【0013】次に、本実施例の動作を説明する。

【0014】マイクロプロセッサ3は、主記憶4からプログラムを読み込み、そのプログラムに従い主記憶4のデータを読み書きしたり、周辺装置5のレジスタを読み書きしたりする。プロセッサ状態検出回路1には、マイクロプロセッサ3が出力する読み/書き信号、割り込み状態信号、プログラムフェッチ信号等、マイクロプロセッサ特有のプロセッサ状態信号6が入力されている。

【0015】プロセッサ状態検出回路1は、内部に複数ビットの状態設定レジスタ1-1があり、予めトレースしたい状態をこの状態設定レジスタ1-1に設定しておく。プロセッサ状態検出回路1は、プロセッサ状態信号6と状態設定レジスタ1-1に設定された値とが一致したときのみ、バストレース回路2にトレース指示を出す。

【0016】バストレース回路2は、プロセッサ状態検出回路1からトレース指示を受けたときのみ、トレースメモリ2-2にマイクロプロセッサのバス7の状態を書き込む。バストレース回路2では、トレースメモリ2-2の先頭から逐次書き込みを行い、使いきったらまた先頭から書き込みを行いサイクリックにトレースメモリ2-2を使用する。

【0017】図2は、本発明の他の実施例を示す図であ

4

る。本実施例のバストレース装置の構成は、図1の構成と同じであるが、プロセッサ状態検出回路1にはマイクロプロセッサ3からI/O信号8が入力される点が異なっている。

【0018】次に、本実施例の動作を説明する。

【0019】プロセッサ状態検出回路1には、マイクロプロセッサ3が出力するI/O信号8が入力されている。このI/O信号8は、マイクロプロセッサ3が周辺I/Oをアクセスする時に出力される信号である。プロセッサ状態検出回路1の状態設定レジスタ1-1には、I/O信号8がオンの時かオフの時かを示す1ビットのレジスタがあり、予めトレースしたい状態をこの状態設定レジスタ1-1に設定しておく。

【0020】I/O信号がオンに設定されている時は、プロセッサ状態検出回路1は、マイクロプロセッサ3がI/O信号8を出力したときのみバストレース回路2にトレース指示を出す。I/O信号がオフに設定されている時は、プロセッサ状態検出回路1は、マイクロプロセッサ3がI/O信号8を出力していないときのみバストレース回路2にトレース指示を出す。

【0021】図3は、本発明のさらに他の実施例を示す図である。本実施例のバストレース装置の構成は、図1の構成と同じであるが、プロセッサ状態検出回路1にはマイクロプロセッサ3からスーパーバイザ/ユーザモード信号9が入力される点が異なっている。

【0022】次に、本実施例の動作を説明する。

【0023】プロセッサ状態検出回路1には、マイクロプロセッサ3が出力するスーパーバイザ/ユーザモード信号9が入力されている。このスーパーバイザ/ユーザモード信号9は、マイクロプロセッサ3がスーパーバイザモードで動作しているか、ユーザモードで動作しているかを示す信号である。

【0024】プロセッサ状態検出回路1の状態設定レジスタ1-1には、スーパーバイザモードかユーザモードかを区別する2ビットのレジスタがあり、予めトレースしたい状態をこの状態設定レジスタ1-1に設定しておく。

【0025】スーパーバイザモードがオンに設定されている時は、プロセッサ状態検出回路1は、マイクロプロセッサ3がスーパーバイザモードの時のみバストレース回路2にトレース指示を出す。ユーザモード信号がオンに設定されている時は、プロセッサ状態検出回路1は、マイクロプロセッサ3がユーザモード時のみバストレース回路2にトレース指示を出す。スーパーバイザモードとユーザモードがともにオンに設定されている時は、プロセッサ状態検出回路1は、スーパーバイザモードもしくはユーザモード時バストレース回路2にトレース指示を出す。

【0026】

【発明の効果】以上説明したように本発明のマイクロ

5

6

ロセッサのバストレース装置では、マイクロプロセッサの状態を監視しトレース指示を出すプロセッサ状態検出回路を設けることにより、マイクロプロセッサの特定の状態の時のみトレースを行うことが可能となり、不必要な情報をトレースメモリに残すことなくトレースメモリを有効に利用することができる。

#### 【図面の簡単な説明】

【図1】 本発明のマイクロプロセッサのバストレース装置の一実施例を示す構成図である。

【図2】 他の実施例を示す構成図である。

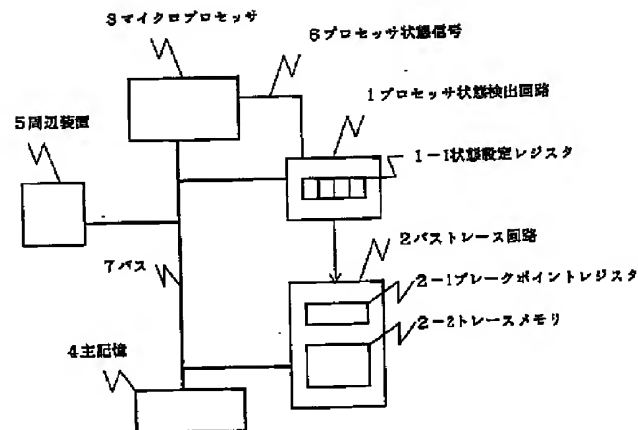
【図3】 さらに他の実施例を示す構成図である。

【図4】 従来のマイクロプロセッサのバストレース装置の構成図である。

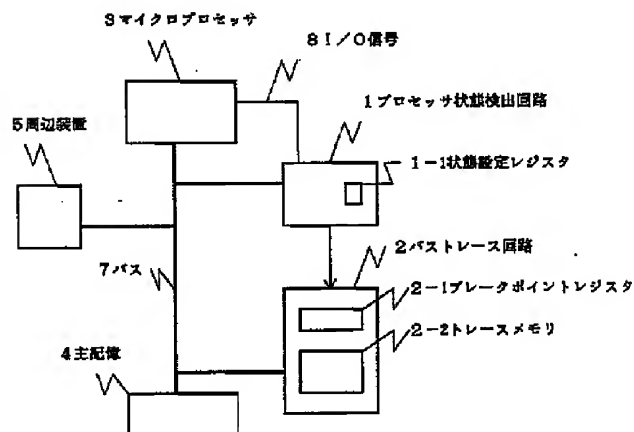
#### 【符号の説明】

- 1 プロセッサ状態検出回路
- 1-1 状態設定レジスタ
- 2 バストレース回路
- 2-1 ブレークポイントレジスタ
- 2-2 トレースメモリ
- 3 マイクロプロセッサ
- 4 主記憶
- 5 周辺装置
- 10 6 プロセッサ状態信号
- 7 バス
- 8 I/O信号
- 9 スーパーバイザ/ユーザモード信号

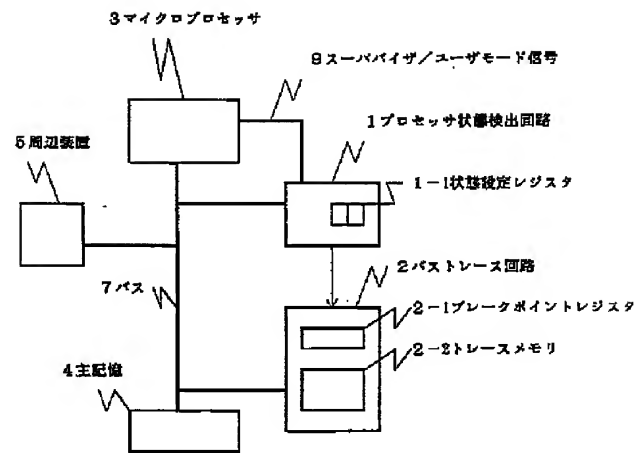
【図1】



【図2】



【図3】



【図4】

